

Docket No.: SON-2790
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Ichiro HASE

Application No.: Not Yet Assigned

Group Art Unit: N/A

Filed: July 25, 2003

Examiner: Not Yet Assigned

For: SEMICONDUCTOR DEVICE

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

Country	Application No.	Date
Japan	P2002-225631	August 2, 2002

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: July 25, 2003

Respectfully submitted,

By _____

Ronald P. Kananen

Registration No.: 24,104

(202) 955-3750

Attorneys for Applicant

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月 2日

出願番号

Application Number:

特願2002-225631

[ST.10/C]:

[JP2002-225631]

出願人

Applicant(s):

ソニー株式会社

2003年 5月27日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3040147

【書類名】 特許願
【整理番号】 0290175901
【提出日】 平成14年 8月 2日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/70
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 長谷 伊知郎
【特許出願人】
【識別番号】 000002185
【氏名又は名称】 ソニー株式会社
【代理人】
【識別番号】 100090527
【弁理士】
【氏名又は名称】 館野 千恵子
【電話番号】 03-5731-9081
【手数料の表示】
【予納台帳番号】 011084
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0010570
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 エミッタ層とベース層とコレクタ層を有し、前記エミッタ層のバンドギャップと電子親和力の和が前記ベース層のバンドギャップと電子親和力の和よりも大きい半導体装置において、前記ベース層が B_i を含むことを特徴とする半導体装置。

【請求項2】 前記ベース層が $GaAsB_i$ を含むことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記ベース層が $GaAsB_iN$ を含むことを特徴とする請求項1記載の半導体装置。

【請求項4】 前記ベース層が $InPBi$ を含むことを特徴とする請求項1記載の半導体装置。

【請求項5】 前記ベース層に含まれる B_i の量が、エミッタ側からコレクタ側に向かって増加することを特徴とする請求項1記載の半導体装置。

【請求項6】 前記エミッタ層が、 $GaAs$ 、 $AlGaAs$ 、 $InGaP$ および InP から選ばれた少なくともひとつを含むことを特徴とする請求項1記載の半導体装置。

【請求項7】 前記コレクタ層が、 $GaAs$ 、 $InGaAs$ および InP から選ばれた少なくともひとつを含むことを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に係り、特にヘテロ接合バイポーラトランジスタ (Heterojunction Bipolar Transistor: HBT) に関する。

【0002】

【従来の技術】

HBTは、エミッタ層にベース層よりもバンドギャップが広い材料を用いたバ

イポーラトランジスタであり、エミッタ層よりもベース層の不純物濃度を濃くしてもエミッタ層からベース層への電子の注入効率（エミッタ効率）を高く保つことができる。したがって、ベース層厚を縮小してもベース層の抵抗を低く保ち、またベース層のパンチスル率を抑えてエミッタ・コレクタ間の耐圧を高く保つことができる。基本的に高速・高耐圧性能に優れたデバイスである。

【0003】

また、HBTは高い電流駆動能力を有することから、パワーアンプ（PA）用デバイスとして優れ、さらに単一電源動作が容易であるというメリットから、近年、移動体通信端末用PAとして広範に使用されてきている。

【0004】

パワーアンプ（電力増幅器）における効率の良さを示す指標として、電力付加効率（Power-Added Efficiency: PAE）が知られている。PAEは、付加電力、つまり出力パワー P_{out} と入力パワー P_{in} の差の、直流投入電力 P_{dc} に対する比として定義され、この値が大きいほどパワーアンプの消費電力を抑制することが可能であるため、この値はパワーアンプにおける重要な指標のひとつとなっている。移動体通信端末では全消費電力のうち送信側パワーアンプによる電力消費が大きな割合を占めるため、特に重要である。

【0005】

図7に従来のGaAs系HBTの一構成例を示す。この半導体装置は、例えば、半絶縁性の単結晶GaAsよりなる基板1の一面に、例えば n^+ -GaAsよりなるサブコレクタ層2、 n^- -GaAsよりなるコレクタ層3、 p^+ -GaAsよりなるベース層4、例えば n -InGaPよりなるエミッタ層5、 n -GaAsよりなる第1キャップ層6、 n^+ -InGaAsよりなる第2キャップ層7が順次積層されている。第2キャップ層7の上にはエミッタ電極8が形成されている。また、ベース、コレクタへのオーミックコンタクト形成のためにメサ構造が形成され、ベース層4、サブコレクタ層2の一部が、それぞれ、ベース電極9、コレクタ電極10と接するようになっている。これらの電極は、例えば、Ti/Pt/Auにより形成されている。また、電極と接していない半導体表面は、例えば Si_3N_4 よりなる絶縁膜11により覆われている。

【0006】

図8に従来のInP系HBTの一構成例を示す。この半導体装置は、例えば、半絶縁性の単結晶InPよりなる基板12の一面に、例えばn⁺-InGaAsよりなるサブコレクタ層13、n⁻-InPよりなる第2コレクタ層14、n⁻-InGaAsPよりなる第1コレクタ層15、p⁺-InGaAsよりなるベース層16、例えばn-InPよりなるエミッタ層17、n⁺-InGaAsよりなるキャップ層18が順次積層されている。キャップ層18の上にはエミッタ電極8が形成されている。また、ベース、コレクタへのオーミックコンタクト形成のためにメサ構造が形成され、ベース層16、サブコレクタ層13の一部が、それぞれ、ベース電極9、コレクタ電極10と接するようになっている。これらの電極は、例えば、Ti/Pt/Auにより形成されている。また、電極と接していない半導体表面は、例えばSi₃N₄よりなる絶縁膜11により覆われている。

【0007】

図8において、コレクタ層にはInGaAsを用いることもできるが、InGaAsは狭バンドギャップのためベース・コレクタ間の耐圧が低くなる。ここでは、高耐圧化のためにInPをコレクタ層に用いた二重ヘテロ接合バイポーラトランジスタ(DHBT)を例として示した。このDHBTでは、InGaAsベース層とInPコレクタ層の間に伝導帯端エネルギーの不連続が生じ、ベース層からコレクタ層への電流が阻害される。そのため、InPコレクタ層とInGaAsベース層の間にInGaAsP層を第1コレクタ層15として挿入し、InGaAsベース層とInPコレクタ層の間に生じるポテンシャル不連続の影響を少なくしている。第1コレクタ層としてはAlInGaAsやアンドープのInGaAsを用いることもできる。

【0008】

【発明が解決しようとする課題】

これらHBTを用いてパワーアンプを構成する場合、そのPAEを向上させるためにデバイス側に要求されることのひとつは、I_c-V_{ce}特性におけるニーキー(nee)電圧V_kの低減である。ニーエ電圧を低減するには、I_c-V_{ce}特性におけるI_cの立ち上がり電圧であるオフセット電圧V_{offset}を小さくする必要がある。

この V_{offset} は、エミッタ・ベース間の順方向立ち上がり電圧 V_{teb} とベース・コレクタ間の順方向立ち上がり電圧 V_{tbc} の差、 $V_{teb} - V_{tbc}$ でほぼ決まる。したがって、エミッタ層とベース層の間に生じる伝導帯端のエネルギー不連続 (conduction-band offset) ΔE_c ができるだけ小さいことが望ましい。

【0009】

ΔE_c の影響を少なくする為に、エミッタ層とベース層の間に材料組成が緩やかに変化するグレーディド (graded) ヘテロ接合を挿入する方法がしばしば用いられる。しかしながら、グレーディドヘテロ接合を制御性良くまた再現性良く作製することが必ずしも容易でないこと、 ΔE_c の影響を消し去るには厚いグレーディド層が必要になり、ホールのベース層への閉じ込めも不完全になることから、 ΔE_c の低減によって V_{offset} を下げる事が望ましいといえる。HBTなので勿論、エミッタ層とベース層の価電子帯端のエネルギー不連続 (valence-band offset) ΔE_v はホールを十分にブロックする程度に大きい必要がある。

【0010】

図7に示したGaAs系HBTでは、エミッタ層であるInGaPとベース層であるGaAsの間の ΔE_c が0.2eV程度、また、図2に示したInP系HBTでも、エミッタ層であるInPとベース層であるInGaAsの間の ΔE_c は0.2eV程度と、大きすぎはしないが、さらに小さな値となることが望まれる。

【0011】

HBTの基本性能向上という観点からは、ベース抵抗の低減が重要な課題である。ベース抵抗が高いと、最大発振周波数 f_{max} が劣化したり、電流密度の高いところで、エミッタ・ベース間に加わる電圧が不均一になる（エミッタクラウディング）などの不都合が生じる。したがって、パワーアンプ応用の観点からも、ベース抵抗はできるだけ低減しておきたい。

【0012】

このためには、一般にベース層へ高濃度ドーピングを施してベースシート抵抗ならびにベースコンタクト抵抗の低減を図るが、ドーピング濃度に上限があることに加えて、ドーピング濃度が高すぎると、電流利得が低下する、キャリアの移

動度が低下するという問題が生じるので、ドーピング濃度を無制限に高くすることはできない。

【0013】

図7に示したようなGaAs系HBTのベース層材料としては、GaAsベースが一般的であり、最近では拡散の少ないp型不純物としてC（カーボン）が用いられることが多い。Cによって 10^{19} cm^{-3} 以上のドーピングが可能であるが、一方で移動度は $50 \text{ cm}^2 / (\text{v} \cdot \text{s})$ 程度以下になる。

【0014】

また、図8に示したようなInP系HBTでは、ベース層には一般にInGaAsが使用されているが、InGaAs中ではCが両性になりやすく、p型不純物濃度をGaAsほど高くはできない。そのため、ベースのシート抵抗は、同じベース層厚で比較して、一般にGaAs系HBTよりも高くなっている。

【0015】

そこで、現在主流のGaAs系HBTならびにInP系HBT以上のパフォーマンスを確保するためには、少なくともGaAsと同程度以上のドーピングが可能か、あるいはGaAsよりもホールの移動度が高い層をベース層に用いることが望ましい。

【0016】

本発明は、HBTをPA用素子として用いた場合の高効率化、ならびにベース抵抗低減等HBTの基本性能向上に向けた課題に対してなされたもので、従来のGaAs系HBT、あるいはInP系HBTのPA特性を凌駕する半導体装置を提供することを目的とする。

【0017】

【課題を解決するための手段】

すなわち、請求項1の発明は、エミッタ層とベース層とコレクタ層を有し、エミッタ層のバンドギャップと電子親和力の和がベース層のバンドギャップと電子親和力の和よりも大きい半導体装置において、ベース層がBiを含むことを特徴とする。

【0018】

本発明において、Biを含むベース材料として、例えば、GaAsBi、GaAsBiN、InPBi等が挙げられる。このようなIII-V化合物半導体は、Biの添加によって、価電子帯端のエネルギー準位が上がり、さらに、ホールの移動度が大きくなる。価電子帯端のエネルギー準位が上がることにより、ベース層へのショットキー障壁が低くなり、ベースコンタクト抵抗の低減が可能となる。また、ホールの移動度が大きくなることにより、ベースのシート抵抗の低減が可能となる。さらに、価電子帯端のエネルギー準位が上がることにより、エミッタ層とベース層の価電子帯端のエネルギー差が大きくなり、ベース層へのホールの閉じ込め効果を大きくすることが可能となる。したがって、Biを含むベース層を用いることにより、HBTの基本性能を向上させることが可能となる。

【0019】

また、Biの添加によって、ベース層の価電子帯端のエネルギー準位が上がり、ベース層とエミッタ層の価電子帯端エネルギーの差が大きくなることから、伝導帯端エネルギーのより低いエミッタ層の選択が可能となり、その結果、エミッタ層とベース層の伝導帯端のエネルギー差を低減することが可能となる。これにより、二電圧の低減が可能となり、パワーアンプを構成した際のPAEを向上させることが可能となる。

【0020】

なお、エミッタ層としては、例えば、GaAs、AlGaAs、InGaP、InP等が用いられる。また、コレクタ層としては、例えば、GaAs、InGaAs、InP等が用いられる。

【0021】

請求項5の発明は、請求項1の半導体装置において、ベース層に含まれるBiの量が、エミッタ側からコレクタ側に向かって増加することを特徴とする。この発明においては、ベース層において電子の移動を加速するポテンシャル勾配が形成され、ベース層からコレクタ層への電子の移動速度を向上させることが可能となる。

【0022】

【発明の実施の形態】

以下、図面に基づいて本発明の実施の形態を説明する。

【0023】

(第1の実施の形態)

図1は、本発明の第1の実施の形態に係る半導体装置を示すもので、ベース層にGaAsBiを用い、その他の構成は図7に示す構造と同じである。図1において、図7と共通する部分には同一符号を付している。

【0024】

図1に示すように、本実施の形態の半導体装置は、例えば、半絶縁性の単結晶GaAsよりなる基板1の上に、例えばn⁺-GaAsよりなるサブコレクタ層2、n⁻-GaAsよりなるコレクタ層3、p⁺-GaAsBiよりなるベース層19、例えばn-InGaPよりなるエミッタ層5、n-GaAsよりなる第1キャップ層6、n⁺-InGaAsよりなる第2キャップ層7が順次積層されている。

【0025】

第2キャップ層7の上にはエミッタ電極8が形成されている。ベースコンタクト形成のために、第1および第2キャップ層の一部が除去され、メサ構造が形成されている。ベース電極9とベース層19の間にはエミッタ層5が介在してもいいが、エミッタ層5のうちでベース電極9直下の部分だけが、あるいはその近傍だけがエッチングで除去され、その結果、ベース電極9とベース層19が直接コンタクトしていてもよい。コレクタ電極10の形成のためにもメサ構造が形成され、サブコレクタ層2の上部にコレクタ電極10が形成されている。エミッタ電極8、ベース電極9、コレクタ電極10は、例えば、Ti/Pt/Auにより形成されている。また、電極と接していない半導体表面は、例えばSi₃N₄よりなる絶縁膜11により覆われている。

【0026】

上記構成において、ベース層19にはGaAsBiを用いた。その理由は、一般にIII-V化合物半導体において、V族元素の原子番号が大きくなればなるほど価電子帯端のエネルギー準位が上がり（例えば、A.P.L. Vol.60, No.5, p.631に記載された各種半導体のバンド端と格子定数の関係を参照）、さらにホールの移動度が高くなる傾向にあるからである（例えば、Compound Semiconductor Device

e Physics by TiwariのAppendixを参照）。これによって、第1に、p型半導体に対するショットキー障壁が低くなり、ベースコンタクト抵抗を低減しやすくなる。第2に、ホール移動度を大きくでき、ベースのシート抵抗を低減しやすくなる。第3に、ベース層とエミッタ層の価電子帯端のエネルギー差を拡大することができるため、ベース層へのホール閉じ込め効果を高めることができる。第4に、III族元素にはGaを用いているため、V族元素のBiを添加してもベース層の伝導帯端エネルギー位置は大きな影響を受けにくい。つまり、III族元素のInを添加したInGaAsをベース層に用いた場合に比べて、ベース・コレクタ間の電流の流れを阻害するようなポテンシャル障壁が形成されにくいで好都合である。しかしながら、GaAsBiとコレクタ層3のGaAsとの格子定数が一致しないという問題があり、GaAsBi層（ベース層19）の膜厚を、臨界膜厚以下の厚さに選ぶことが必要になるので、その適用範囲は若干狭くなる。

【0027】

上記の説明からも明らかなように、本実施の形態によれば、図7に示す従来のGaAs系HTBと比較して、ベース抵抗を低減することができ、HBTの基本性能を向上させることができる。

【0028】

(第2の実施の形態)

図2は、本発明の第2の実施の形態に係る半導体装置を示すもので、ここではベース層にGaAsBiNを用いている。すなわち、図1に示す第1の実施の形態と比較して、p⁺-GaAsBiよりなるベース層19が、p⁺-GaAsBiNよりなるベース層20に置き換えられており、その他の部分は第1の実施の形態と同じである。

【0029】

この構成においては、GaAsへのBi添加が結晶の格子定数をGaAsよりも伸ばす方向に作用するのに対して、Nの添加は縮小する方向に作用するため、第1の実施の形態で生じるベース層とGaAs層（コレクタ層）との格子不整合が緩和される。したがって、第1の実施の形態で述べた利点はそのままに、GaAsBiの場合よりもベース層を厚くしたり、Biの量を多くして、価電子帯端

のエネルギー準位をより高くすることが可能になる。これによって、ベース設計の自由度が高くなり、ベース層の組成を変化させてポテンシャル勾配をつけることなども容易になる。例えば、ベース層のB_iの量をエミッタ側からコレクタ側に向かって増加させることにより、電子の移動を加速するポテンシャル勾配をつけることができ、ベース層からコレクタ層への電子の移動速度を向上させることができる。

【0030】

上記したように、第2の実施の形態によれば、第1の実施の形態と同様にベース抵抗を低減することができるとともに、第1の実施の形態におけるベース層とコレクタ層の格子不整合を緩和することができる。

【0031】

(第3の実施の形態)

図3は、本発明の第3の実施の形態に係る半導体装置を示すもので、ここではベース層にGaAsBiNを用い、エミッタ層にGaAsを用いている。すなわち、第2の実施の形態と比較して、p⁺-GaAsBiNよりなるベース層20の上に、n-GaAsよりなるエミッタ層21、n⁺-InGaAsよりなるキャップ層22が順次積層されている。その他の構成は、第1および第2の実施の形態と同じである。

【0032】

上記構成においては、第1および第2の実施の形態で用いたInGaP層のエミッタと比べて、エミッタの伝導帯端エネルギーが低くなるので、エミッタ・ベース接合のターンオン電圧が下がり、I_c-V_{ce}特性におけるニー電圧を下げることができる。このニー電圧の低減は、電力増幅器の電力付加効率PAEを高くする効果があり、重要である。なお、GaAs層のエミッタが有効になるのは、この場合、ベース層にGaAsBiNを用いたからである。ベース層がGaAsの場合、GaAs層のエミッタではHBTを構成できない。また、InGaAsをベース層に用いた場合、HBTを構成できるが、エミッタ層とベース層の界面において価電子帯端エネルギーの不連続よりも伝導帯端エネルギーの不連続のほうが大きくなること、エミッタ層・コレクタ(ベース)層界面における伝導帯端

エネルギーの不連続が大きくなるので好ましくない。ベース層にG a A s B i Nを用いた場合、ベース層とG a A s エミッタ層の界面における伝導帯端エネルギーの不連続は小さくして、価電子帯端エネルギーの不連続は大きくすることができる。なお、ベース層にG a A s B i を用いても同様の効果は得られる。

【0033】

上記の説明からも明らかなように、第3の実施の形態によれば、ベース抵抗を低減することができるとともに、ニード電圧を低減することができ、パワーアンプに用いたときの電力付加効率を高めることができる。

【0034】

(第4の実施の形態)

図4は、本発明の第4の実施の形態に係る半導体装置を示すもので、第3の実施の形態の変形例を示している。すなわち、第3の実施の形態におけるn-G a A s よりなるエミッタ層21とn⁺-I n G a A s よりなるキャップ層22の積層構成が、ベース電極9近傍で一部エッチングされているn-G a A s よりなる第1エミッタ層23と、n-I n G a P よりなるエッティング停止層24と、n-G a A s よりなる第2エミッタ層25と、n⁺-I n G a A s よりなるキャップ層26の積層構成に変更されている。

【0035】

図3に示す第3の実施の形態においては、エミッタメサのコーナー部でエミッタ・ベース間のp-n接合が表面に露出しやすい構造のため、表面再結合の影響を受けやすい。これを解決するためにはG a A s よりなるエミッタの一部を残してやればよいが、制御性良くエミッタの一部をエッティングするためにはエッティング停止層が必要となる。そこで、本実施の形態は、そのようなエッティング停止層としてI n G a P をG a A s よりなるエミッタに挿入したものである。

【0036】

上記したように、第4の実態の形態によれば、制御性良くエミッタの一部をエッティングすることが可能となり、エミッタメサのコーナー部でのエミッタ・ベース間のp-n接合の表面露出を防止した構造を容易に形成することができる。

【0037】

(第5の実施の形態)

図5は、本発明の第5の実施の形態に係る半導体装置を示すもので、図8に示す従来のInP系DHTと比較して、ベース層にGaAsBiを用い、InP層がベース層に接合している。なお、図5において、図8と共通する部分には同一符号を付している。

【0038】

図5に示すように、本実施の形態の半導体装置は、例えば、半絶縁性のInPよりなる基板12の上に、例えば n^+ -InGaAsよりなるサブコレクタ層13、 n^- -InPよりなるコレクタ層27、 p^+ -GaAsBiよりなるベース層28、例えば n^- -InPよりなるエミッタ層17、 n^+ -InGaAsよりなるキャップ層18が順次積層されている。

【0039】

キャップ層18の上には、例えばTi/Pt/Auよりなるエミッタ電極8が形成されている。ベースコンタクト形成のためにエミッタ層17、キャップ層18の一部が除去され、メサ構造が形成され、ベース層28上に例えばTi/Pt/Auよりなるベース電極9が形成されている。コレクタ電極形成のためにもメサ構造が形成され、サブコレクタ層13の上部には、例えばTi/Pt/Auよりなるコレクタ電極10が形成されている。また、電極と接していない半導体表面は、例えば Si_3N_4 よりなる絶縁膜11により覆われている。

【0040】

本実施の形態の特徴はInP系DHTのベース層にGaAsBiを用いたことであり、図8に示した標準的なInP系DHTと比べて、以下のような特長を有する。まず、Bi添加によって価電子帯端のエネルギーが上昇するので、第1に、ベース層へのショットキー障壁が低くなり、ベースコンタクト抵抗を低減しやすくなる。第2に、エミッタ層とベース層の価電子帯端エネルギーの差が大きくなるので、ベース層へのホールの閉じ込め効果を大きくすることができる。第3に、V族元素の原子番号が大きくなればなるほどホールの移動度が大きくなり、また不純物も高濃度にドープしやすくなるという傾向があるので、ベース抵抗を下げやすくなる。また、第4に、InP系HBTのベース層材料として最も

良く用いられているInGaAsと比較すると、GaAsBiはInGaAsよりも伝導帯端のエネルギーが高くなり、ベース層とコレクタ層の間に生じる伝導帯端エネルギーの不連続量を減少させることができるので、可能性もある。第5に、同様に、ベース層とエミッタ層の間に生じる伝導帯端エネルギーの不連続量を減少させることができるので、エミッタ・ベース間のターンオン電圧を下げる事ができ、ニードル電圧を低減することができる。

【0041】

なお、GaAsBiは、組成を適切に選ぶことでコレクタ層27のInPに格子整合させることができる。また、GaAsBiにAlやIn等のIII族材料を加えたAlGaAsBiやInGaAsBi、Sbを加えたGaAsSbBi等の4元化合物を用いることで、ベース層とエミッタ層およびベース層とコレクタ層の間のバンドアライメントを調整したりベース層に傾斜層を設けたりすることが容易になる。

【0042】

上記の説明から明らかなように、第5の実施の形態によれば、図8に示す従来のInP系DHTと比較して、ベース抵抗を低減することができ、HBTの基本性能を向上させることができるとともに、ニードル電圧を低減することができ、パワーアンプに用いたときの電力付加効率を高めることができる。

【0043】

(第6の実施の形態)

図6は、本発明の第6の実施の形態に係る半導体装置を示すもので、ここではInP系DHT構造のベース層にInPBiを用いている。すなわち、第5の実施の形態と比較して、InPBiよりなるベース層29のみ異なっている。

【0044】

上記構成においては、InPにBiを添加することにより、InPからなるエミッタ層17よりベース層29の価電子帯端のエネルギーを上昇させ、それによってエミッタ層17とベース層29の価電子帯端にエネルギー不連続量が発生し、HBT構造となる。エミッタ層17、コレクタ層27はInP、ベース層にはInPにBiを添加しただけなので構造が単純で製造上有利である。III族元素

はエミッタ、ベース、コレクタで共通なので伝導帯のエネルギー不連続量も大きくならないと考えられ、二電圧低減の点でも有利である。ただし、InPBiはInPと格子整合しないのでベース層の厚さを臨界膜厚以下とする必要がある。

【0045】

上記の説明からも明らかなように、第6の実施の形態によれば、図8に示す従来のInP系DGBTと比較して、構造を単純化することができるとともに、二電圧を低減することができ、パワーアンプに用いたときの電力付加効率を高めることができる。また、Bi添加によるベース抵抗の低減効果も得ることができる。

【0046】

【発明の効果】

以上述べたように、請求項1の発明によれば、ベース層材料にBiを添加することにより、ベース抵抗を低減することができ、HBTの基本性能を向上させることができる。また、ベース層との伝導帯端のエネルギー差の小さなエミッタ層を用いることができ、これにより、二電圧を低減して、パワーアンプの高効率化を図ることができる。

【0047】

請求項2の発明によれば、ベース層にGaAsBiを用いることにより、GaAs系あるいはInP系HBTのベース抵抗を低減することができる。さらに、伝導帯端エネルギーの低いエミッタ層との組合せにより、エミッタとベースの界面における伝導帯端エネルギー不連続を小さくして、二電圧の低減を図ることができ、パワーアンプの高効率化に寄与することができる。また、InP系HBTにおいては、より一般的なInGaAsベースと比較して、伝導帯端エネルギーが高くなるため、エミッタとベースの界面における伝導帯端エネルギー不連続を小さくすることができ、二電圧を低減することができる。

【0048】

請求項3の発明によれば、ベース層にGaAsBiNを用いることにより、GaAsBiの場合と同様の効果を奏すことができるとともに、GaAs系HBT

Tにおいて、コレクタ層のG a A sと格子整合させることができる。

【0049】

請求項4の発明によれば、ベース層にInPBiを用いることにより、より単純化された構造のInP系HBTを実現することができとともに、二電圧の低減が可能となり、パワーアンプの高効率化に寄与することができる。

【0050】

請求項5の発明によれば、ベース層のBiの量をエミッタ側からコレクタ側に向かって増加させることにより、ベース層からコレクタ層への電子の移動速度を向上させることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る半導体装置を示す断面図である。

【図2】

本発明の第2の実施の形態に係る半導体装置を示す断面図である。

【図3】

本発明の第3の実施の形態に係る半導体装置を示す断面図である。

【図4】

本発明の第4の実施の形態に係る半導体装置を示す断面図である。

【図5】

本発明の第5の実施の形態に係る半導体装置を示す断面図である。

【図6】

本発明の第6の実施の形態に係る半導体装置を示す断面図である。

【図7】

従来のG a A s系HBTの一例を示す断面図である。

【図8】

従来のInP系HBTの一例を示す断面図である。

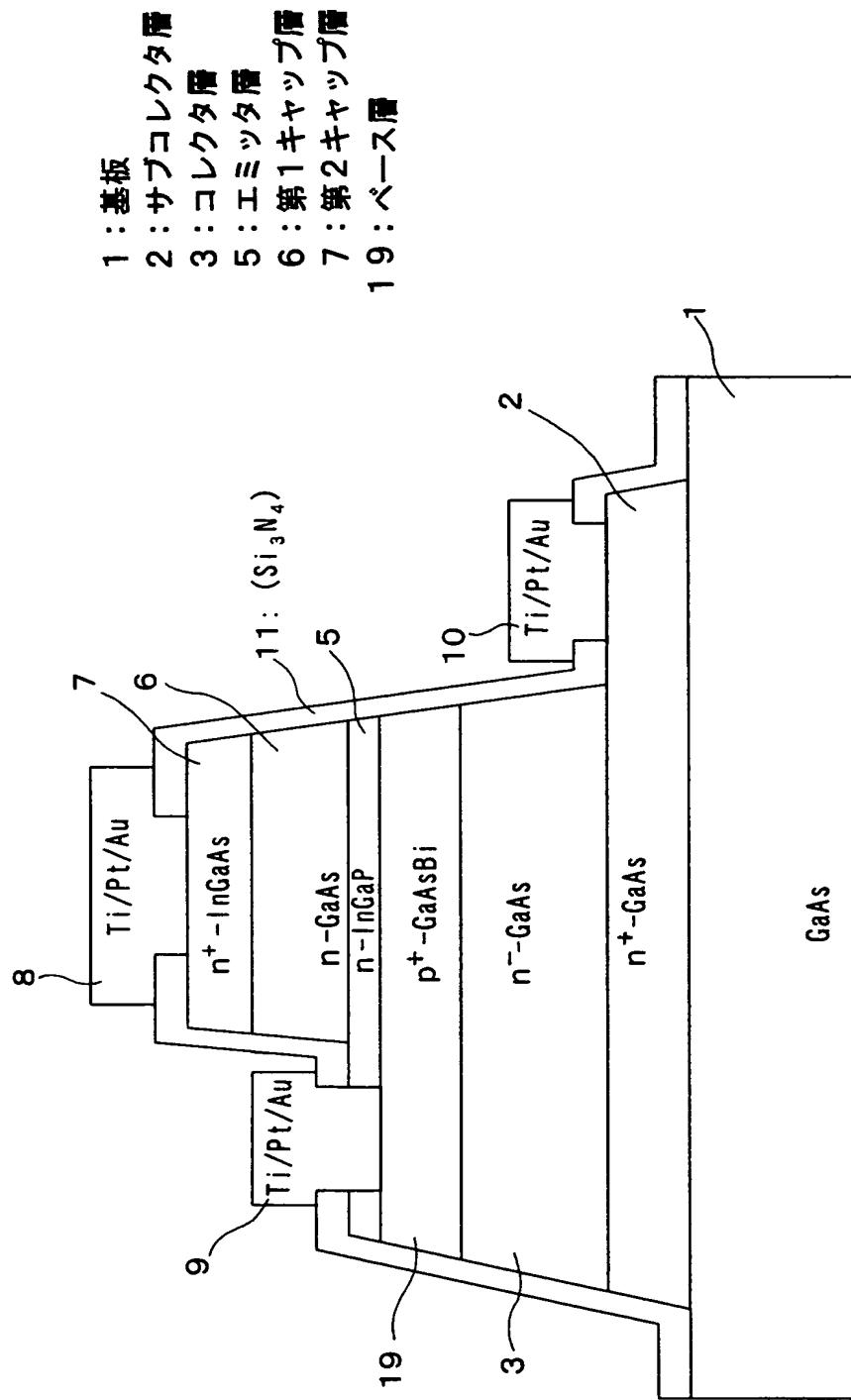
【符号の説明】

1, 12……基板、2, 13……サブコレクタ層、3, 27……コレクタ層、4, 16, 19, 20, 28, 29……ベース層、5, 17, 21……エミッタ

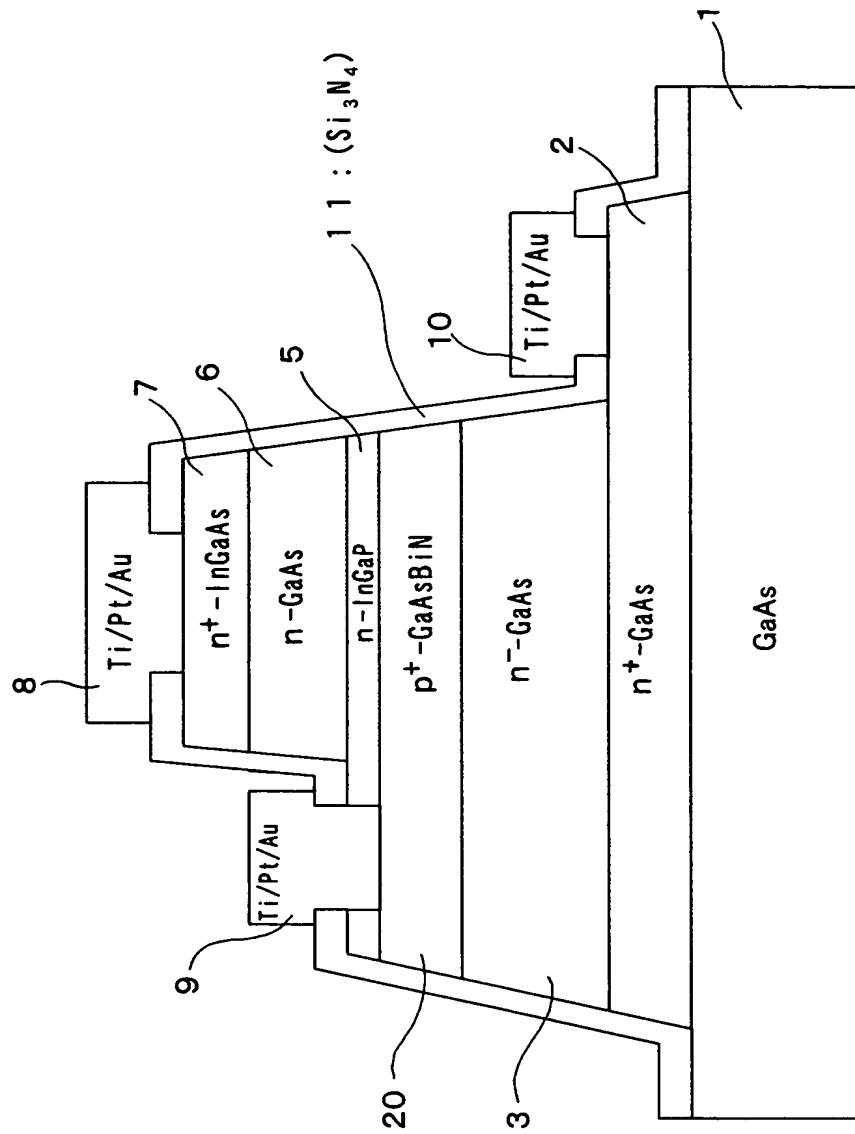
層、6……第1キャップ層、7……第2キャップ層、14……第2コレクタ層、
15……第1コレクタ層、18, 22, 26……キャップ層、23……第1エミ
ッタ層、24……エッティング停止層、25……第2エミッタ層

【書類名】図面

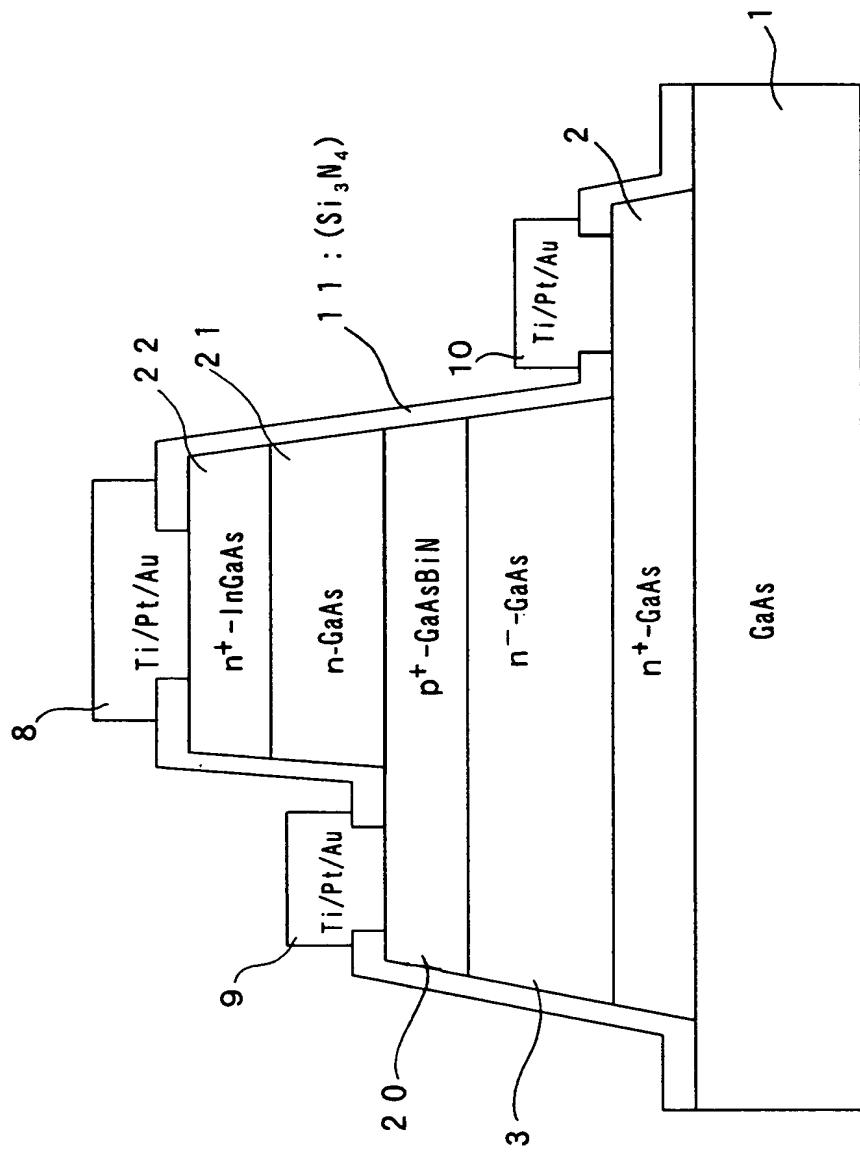
【図1】



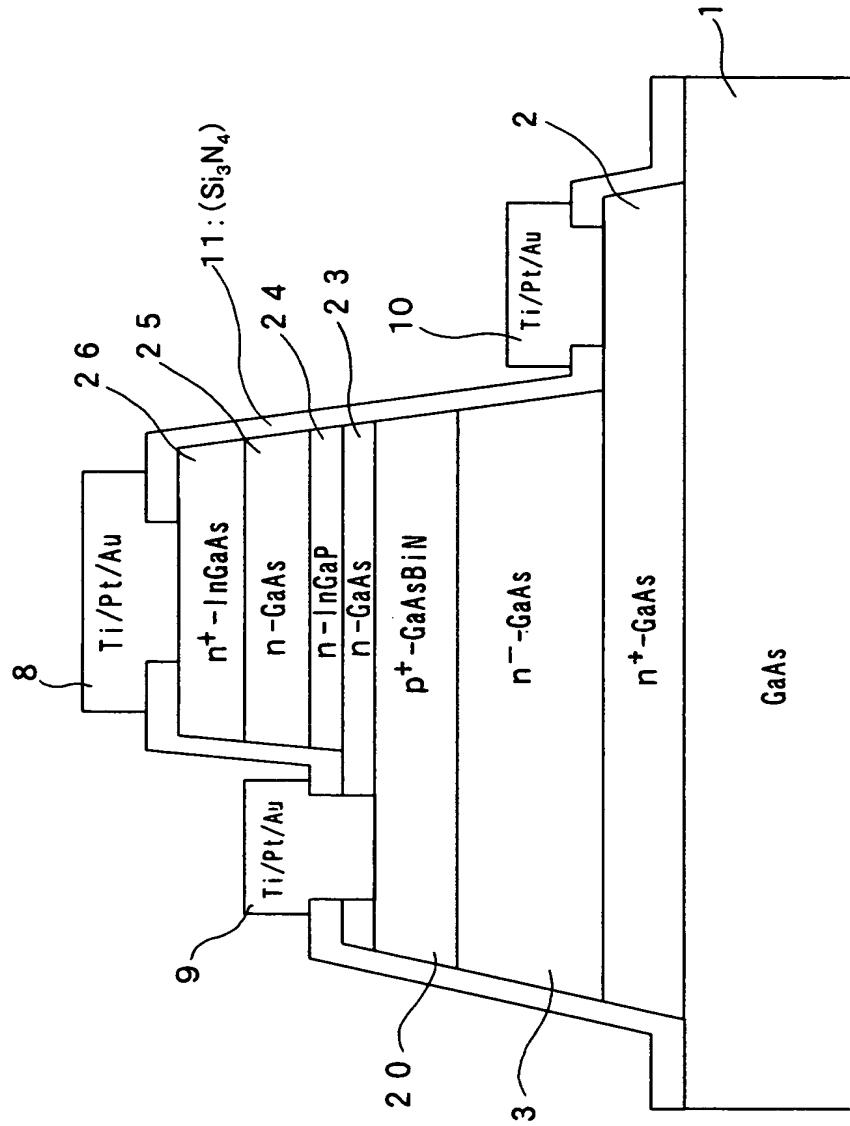
【図2】



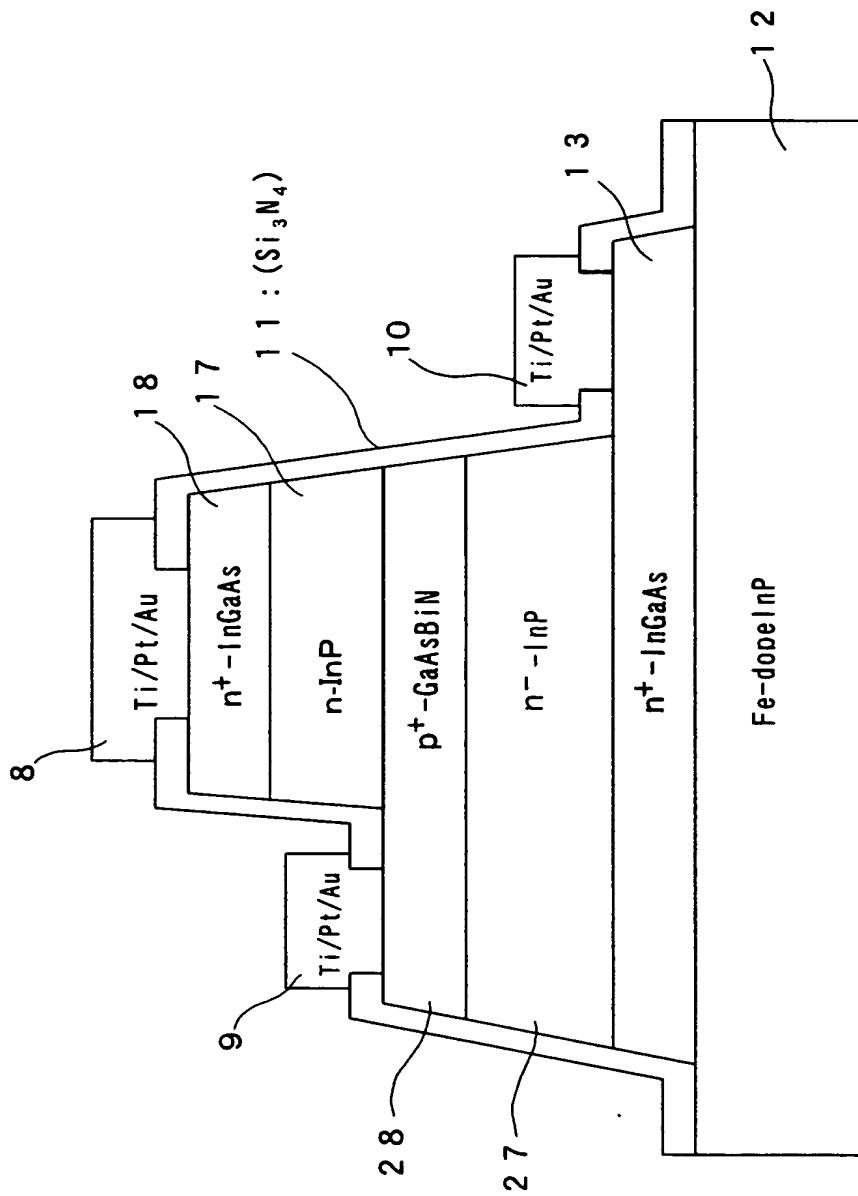
【図3】



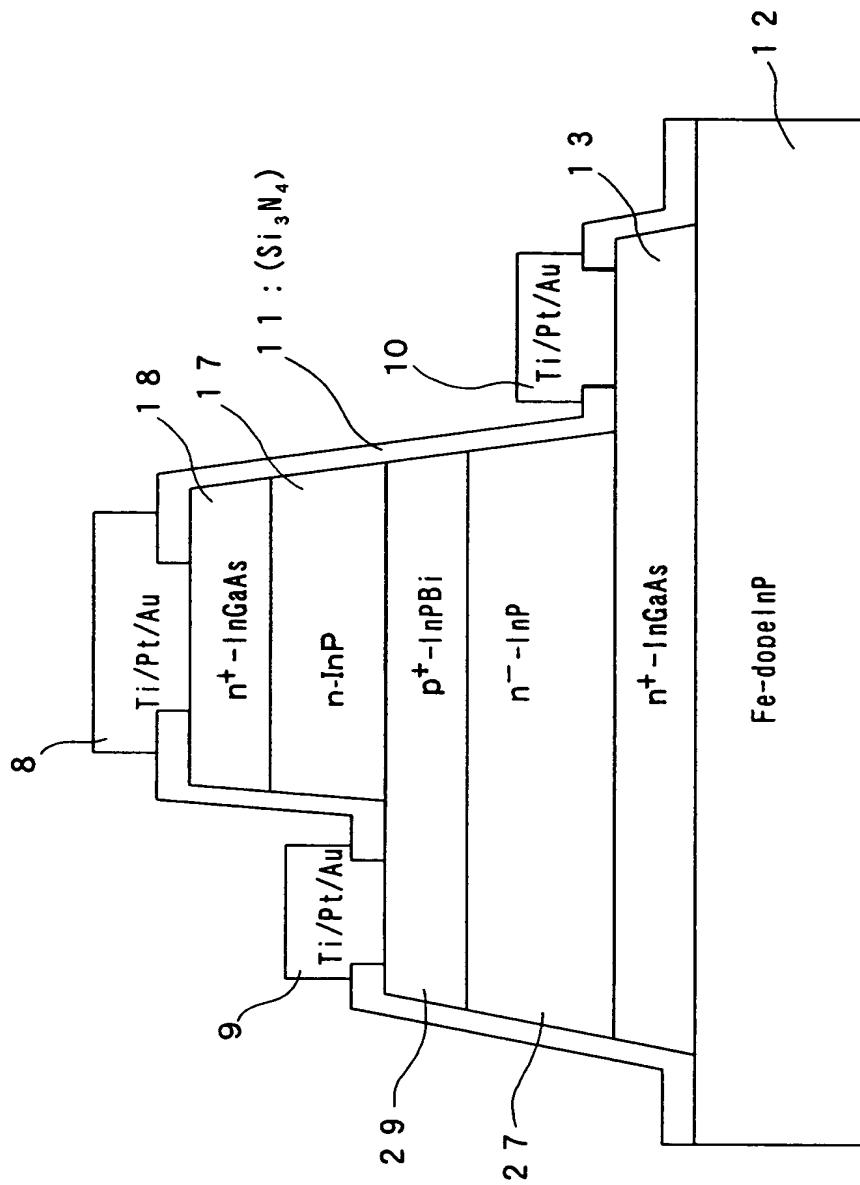
【図4】



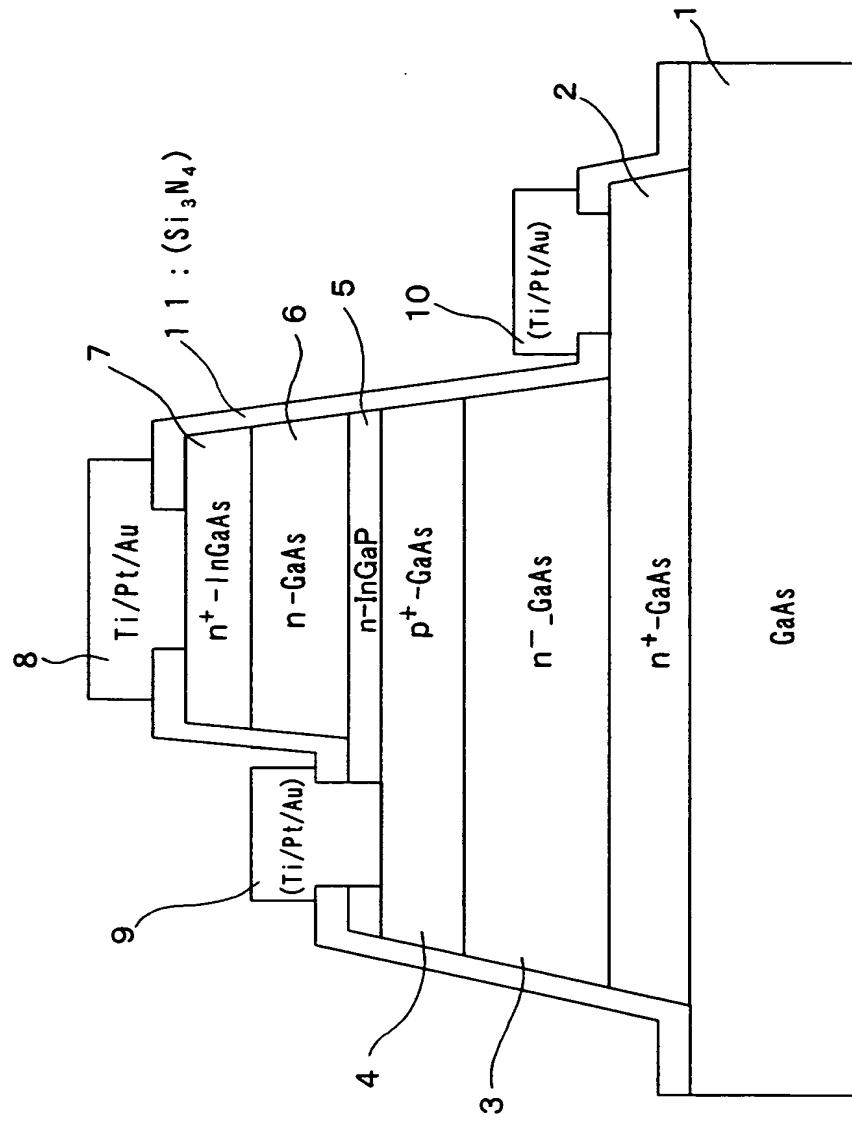
【図5】



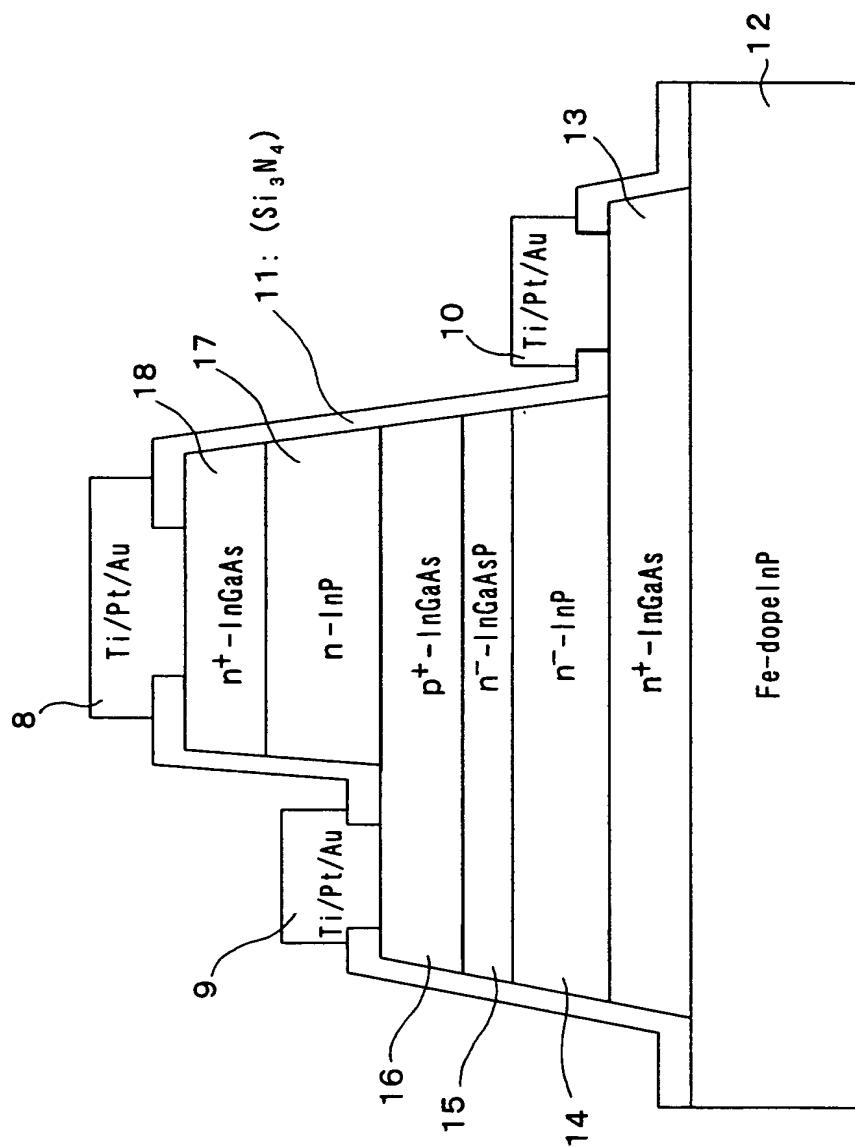
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 HBTのPA特性を向上させる。

【解決手段】 GaAs系またはInP系HBTのベース層にBiを添加したII
I-V化合物半導体を用いる。例えば、単結晶GaAsよりなる基板1の上に、
 n^+ -GaAsよりなるサブコレクタ層2、 n^- -GaAsよりなるコレクタ層3、
 p^+ -GaAsBiよりなるベース層19、n-InGaPよりなるエミッタ層5
、n-GaAsよりなる第1キャップ層6、 n^+ -InGaAsよりなる第2キャ
ップ層7を順次積層してGaAs系HBTを構成する。

【選択図】 図1

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社